

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-289704

(43)Date of publication of application : 04.10.2002

(51)Int.Cl.

H01L 21/8247
H01L 27/115
H01L 21/8238
H01L 27/092
H01L 27/10
H01L 29/788
H01L 29/792

(21)Application number : 2001-084992

(71)Applicant : TOSHIBA CORP

TOSHIBA MICROELECTRONICS
CORP

(22)Date of filing : 23.03.2001

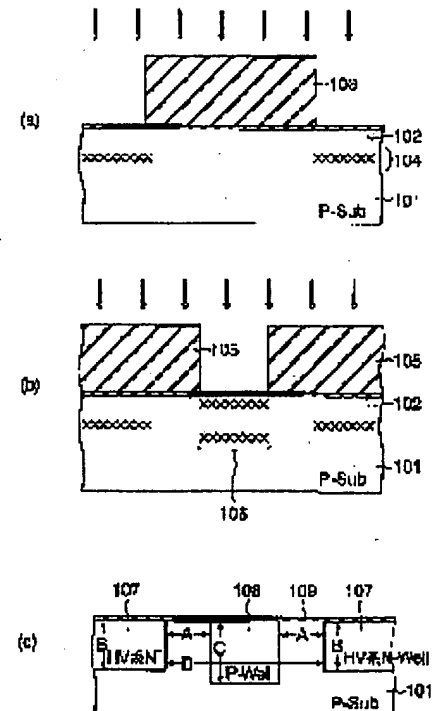
(72)Inventor : ARAI NORIHISA
KAMIYA EIJI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To achieve the desired value of a breakdown voltage between well regions by making the junction breakdown voltage of an N-well region for forming a MOSFET, which is formed in a P type silicon substrate and is a high breakdown voltage system of higher than the order of 25 [V], higher and by slightly separating adjacent N-well regions.

SOLUTION: In a semiconductor device having two or more adjacent N-well regions 107 that sandwich the region of a prescribed width on the P type silicon substrate 101, a P-well region 108 is provided via offset regions A for the adjacent N-well regions.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-289704

(P2002-289704A)

(43)公開日 平成14年10月4日(2002.10.4)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テマコード*(参考) | |
|-------------------------------------|-------|---------------|------------|-----------|
| H 0 1 L 21/8247 | | H 0 1 L 27/10 | 4 7 1 | 5 F 0 4 8 |
| 27/115 | | | 4 8 1 | 5 F 0 8 3 |
| 21/8238 | | | 4 3 4 | 5 F 1 0 1 |
| 27/092 | | 27/08 | 3 2 1 B | |
| 27/10 | 4 7 1 | | 3 2 1 K | |
| 審査請求 未請求 請求項の数16 O L (全 9 頁) 最終頁に続く | | | | |

(21)出願番号 特願2001-84992(P2001-84992)

(22)出願日 平成13年3月23日(2001.3.23)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72)発明者 新井 範久

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

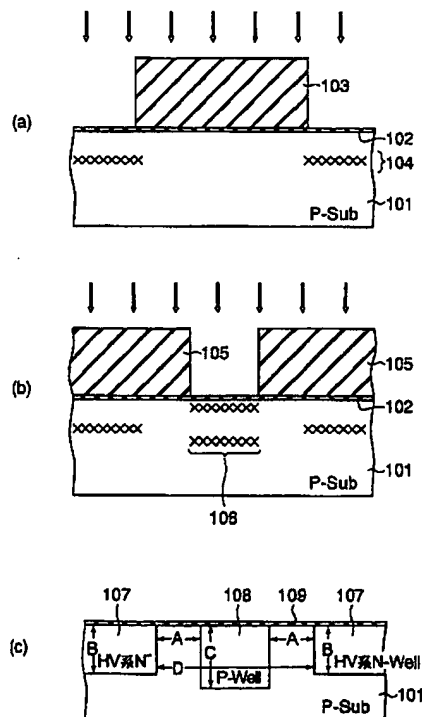
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 P型シリコン基板に形成される25[V]程度を超える高耐圧系のMOSFET形成用のN-ウェル領域の接合耐圧を高耐圧化し、隣り合うN-ウェル領域間を微細に分離し、ウェル領域間耐圧が所望値となるように実現する。

【解決手段】 P型シリコン基板101上で所定幅の領域を挟んで2つ以上の隣り合うN-ウェル領域107を有する半導体装置において、隣り合うN-ウェル領域に対してオフセット領域Aを介してP-ウェル領域108を設ける。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、

前記半導体基板の表層部に選択的に形成され、所定幅の領域を挟んで隣り合う第2導電型の2つのウェル領域と、

前記所定幅の領域において前記隣り合う第2導電型の2つのウェル領域の少なくとも一方のウェル領域に対してオフセット領域をあけて形成された第1導電型のウェル領域とを具備したことを特徴とする半導体装置。

【請求項2】 前記第1導電型のウェル領域の表層部に選択的に形成され、前記第1導電型のウェル領域よりも高濃度の第1導電型の拡散層とを具備することを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第2導電型の2つのウェル領域の少なくとも一方はオフセット領域を介して前記第1導電型のウェル領域に取り囲まれていることを特徴とする請求項1記載の半導体装置。

【請求項4】 データ書き込み/消去電源とデータ読み出し電源が異なる場合、前記第2導電型のウェル領域にはデータ書き込み/消去電源を駆動する回路素子が形成されていることを特徴とする請求項1記載の半導体装置。

【請求項5】 前記第2導電型のウェル領域は、前記半導体基板との接合耐圧が25[V]以上であることを特徴とする請求項4記載の半導体装置。

【請求項6】 前記第2導電型のウェル領域には、不揮発性半導体メモリアル領域に近接して配置されるロウデコーダ部を構成する回路素子が形成されることを特徴とする請求項1記載の半導体装置。

【請求項7】 第1導電型の半導体基板と、前記半導体基板の表層部に選択的に形成され、第1の所定幅の領域を挟んで隣り合う第2導電型の第1の対をなす2つのウェル領域と、

前記半導体基板の表層部に選択的に形成され、第2の所定幅の領域を挟んで隣り合う第2導電型の第2の対をなす2つのウェル領域と、

前記第1の所定幅の領域において前記隣り合う第2導電型の2つのウェル領域の少なくとも一方のウェル領域に対して第1のオフセット領域をあけて形成され、その表層部には拡散層が形成されていない第1導電型の第1のウェル領域と、

前記第2の所定幅の領域において前記隣り合う第2導電型の2つのウェル領域の少なくとも一方のウェル領域に対して第2のオフセット領域をあけて形成され、その表層部には第1導電型の拡散層が形成されている第1導電型の第2のウェル領域とを具備することを特徴とする半導体装置。

【請求項8】 前記第1のオフセット領域は、前記第2のオフセット領域よりも短いことを特徴とする請求項7記載半導体装置。

【請求項9】 前記第1導電型のウェル領域が第2導電

型のウェル領域よりも深いことを特徴とする請求項1乃至8のいずれか1項に記載の半導体装置。

【請求項10】 前記第1導電型のウェル領域の深さは、前記第2導電型のウェル領域の深さよりも10%以上深いことを特徴とする請求項9記載の半導体装置。

【請求項11】 前記第1導電型のウェル領域は、前記半導体基板上に設けられた第2導電型MOSFET形成用の少なくとも一部のウェル領域と同じ不純物濃度を有することを特徴とする請求項1乃至10のいずれか1項に半導体装置。

【請求項12】 前記第1導電型の半導体基板およびウェル領域に拡散されている不純物はB（ボロン）であり、前記第2導電型のウェル領域に拡散されている不純物はP（燐）であり、

前記第1導電型のウェル領域のB濃度および前記第2導電型のウェル領域のP濃度は、前記第1導電型の半導体基板のB濃度よりも2桁以上濃いことを特徴とする請求項1乃至11のいずれか1項に半導体装置。

【請求項13】 第1導電型の半導体基板上に酸化膜を形成する工程と、

前記半導体基板の表層部で所定幅の領域を挟んで隣り合う第2導電型の2つの拡散層形成予定領域に第2導電型の不純物を導入する工程と、

前記所定幅の領域において前記隣り合う第2導電型の2つの拡散層形成予定領域の少なくとも一方の領域に対してオフセット領域をあけて第1導電型の不純物を導入する工程とを具備する半導体装置の製造方法。

【請求項14】 前記第1導電型の不純物を導入する際、表面濃度を補うために少なくとも2つ以上の異なる加速エネルギーでイオン注入することを特徴とする請求項13記載の半導体装置の製造方法。

【請求項15】 前記第1導電型の不純物を導入する工程は、前記半導体基板上のMOSFET形成予定領域の少なくとも一部に対して同時に同じ種類の不純物を導入することを特徴とする請求項14記載の半導体装置の製造方法。

【請求項16】 前記第1導電型の不純物はB（ボロン）であり、前記第2導電型の不純物はP（燐）であることを特徴とする請求項13乃至15のいずれか1項に半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に係り、特に隣り合うウェル領域間の耐圧およびウェル領域と半導体基板の接合耐圧としてそれぞれ所定の高耐圧を必要とする半導体装置およびその製造工程に関するもので、例えばNAND型フラッシュメモリ等の不揮発性メモリに適用される。

【0002】

【従来の技術】NAND型フラッシュメモリ等の不揮発

3

性メモリでは、メモリセルの書き込み消去動作の際に 20 [V] 程度の高い電源電圧が必要となるので、高耐圧を必要とする素子（以下、HV系素子と称す）が存在する。また、コスト低減を図るためにチップサイズを削減するには、前記HV系素子を高密度に搭載する必要がある。

【0003】前記HV系素子のトランジスタは、周知のバックバイアス効果により閾値（以下、 V_{th} と称する）が上昇する。そこで、HV系素子のトランジスタが例えば 20 [V] で動作する場合、HV系トランジスタの接合は、20 [V] の動作電源に加え、 $V_{th} + (V_{th}$ の上昇分)（ほぼ 4 [V] 程度）の印加を避けられなくなるのは周知の事実である。また、上記HV系トランジスタは、低電圧動作時における接合耐圧の低下があるので、HV系トランジスタを構成する拡散層の耐圧としては 25 [V] を十分に超えるものであることが必要である。

【0004】HV系トランジスタのチャネルを構成するウエル領域が半導体基板（通常はシリコン基板）とは逆導電型である場合は、ウエル領域とシリコン基板間の接合耐圧も前記 25 [V] を十分に超えるものが必要となる。

【0005】また、前記したようにシリコン基板とは逆導電型であるウエル領域の場合は、隣り合うウエル領域間に 25 [V] 程度と大きな電位差を伴う回路構成を採用せざるを得ない場合がある。

【0006】図 8 は、従来例 1 の NAND 型フラッシュメモリにおいて、シリコン基板に基板とは逆導電型の 2 つのウエル領域が隣り合うように形成されている構造を示す断面図である。

【0007】図 8 において、P 型シリコン基板 501 の表層部に選択的に 2 つの N-ウエル領域 507 が隣り合うように形成されている。なお、509 は基板表面に形成されたシリコン酸化膜である。

【0008】このような構造において、NAND 型フラッシュメモリの回路構成上、N-ウエル領域 507 と P 型シリコン基板 501 との接合耐圧（以下、N-ウエル領域接合耐圧と称する）が 25 [V] を超えることが要求（第 1 の要求）される。

【0009】また、隣り合う 2 つの N-ウエル領域 507 間は 25 [V] のように高い電位差を持って動作する必要があり、ウエル領域間耐圧 > 25 [V] であることが要求（第 2 の要求）される。

【0010】上記第 1 の要求を満たすためには、まず、N-ウエル領域 507 と P 型シリコン基板 501 との PN 接合を緩やかなものにする必要がある。このためには、周知のように、N-ウエル領域 507 および P 型シリコン基板 501 のそれぞれに存在する導電性を支配する不純物濃度を低濃度化させることが必要である。

【0011】しかし、N-ウエル領域 507 には PMO

4

SFET を形成することになるが、周知の通り、PMOSFET の微細化には PMOSFET を構成する N-ウエル領域 507 の高濃度化が不可欠となるので、N-ウエル領域 507 の濃度を低濃度化することには限界がある。

【0012】なお、P 型シリコン基板 501 上に NMOSFET を形成する場合も、上記と同様の理由により、微細な NMOSFET を形成するには、P 型シリコン基板 501 の濃度を十分に高いものにする必要がある。しかし、特に微細な NMOSFET を形成する場合は、P 型シリコン基板 501 上に同一導電型の高濃度の P-ウエル領域を形成し、この高濃度の P-ウエル領域に NMOSFET を形成することができるので、P 型シリコン基板 501 を低濃度に設定することが可能となる。この場合、低濃度に設定された P 型シリコン基板 501 と N-ウエル領域 507 との接合耐圧は 30 [V] 以上と高く設定することができる。

【0013】一方、前記第 2 の要求を満たすためには、隣り合う N-ウエル領域 107 間に素子分離のために 7 μm 程度の距離（図 8 中 H）を確保することにより、隣り合う N-ウエル領域 507 間の耐圧が所望値となるように実現してきた。

【0014】しかし、隣り合う N-ウエル領域 501 間の距離 H が 7 μm 程度のように膨大な値であると、チップサイズの拡大をまねき、製造コストを上昇させる結果を招く。

【0015】そこで、図 9 に示すように、従来例 2 の NAND 型フラッシュメモリにおいて、隣り合う N-ウエル領域 607 間に P-ウエル領域 608 を設けることにより、N-ウエル領域 607 間の分離能力を飛躍的に高めることが行われている。なお、図 9 中、609 は基板表面に形成されたシリコン酸化膜である。

【0016】しかし、高耐圧が必要とされる N-ウエル領域 607 と P-ウエル領域 608 との PN 接合が急峻になり、N-ウエル領域 607 の接合耐圧の大幅な落ち込みが発生する。

【0017】なお、図 7 中には、従来例 1 における N-ウエル領域 507 の耐圧特性と、従来例 2 における N-ウエル領域 607 の耐圧特性を対比して示している。

【0018】

【発明が解決しようとする課題】上記したように従来の NAND 型フラッシュメモリなどにおいて、シリコン基板に形成される 25 [V] 程度を超える高耐圧系の MOSFET 形成用のウエル領域がシリコン基板とは逆導電型の場合に、ウエル領域接合耐圧を高くし、かつ、隣り合う同一導電型のウエル領域間の耐圧（ウエル領域間耐圧）が所望値となるように実現すると、チップサイズの拡大をまねき、チップコストを上昇させる結果を招くという問題があった。

【0019】本発明は上記の問題点を解決すべくなされ

たもので、半導体基板に形成される25[V]程度を超える高耐圧系のMOSFET形成用のウェル領域が半導体基板とは逆導電型の場合に、ウェル領域接合耐圧の高耐圧化とMOSFETの微細化の両立が容易になり、隣り合うウェル領域間を微細に分離し、かつ、ウェル領域間耐圧が所望値となるように実現し得る半導体装置およびその製造方法を提供することを目的とする。

【0020】

【課題を解決するための手段】本発明の第1の半導体装置は、第1導電型の半導体基板と、前記半導体基板の表層部に選択的に形成され、所定幅の領域を挟んで隣り合う第2導電型の2つのウェル領域と、前記所定幅の領域において前記隣り合う第2導電型の2つのウェル領域の少なくとも一方のウェル領域に対してオフセット領域をあけて形成された第1導電型のウェル領域とを具備したことを特徴とする。

【0021】本発明の第2の半導体装置は、第1導電型の半導体基板と、前記半導体基板の表層部に選択的に形成され、第1の所定幅の領域を挟んで隣り合う第2導電型の第1の対をなす2つのウェル領域と、前記半導体基板の表層部に選択的に形成され、第2の所定幅の領域を挟んで隣り合う第2導電型の第2の対をなす2つのウェル領域と、前記第1の所定幅の領域において前記隣り合う第2導電型の2つのウェル領域の少なくとも一方のウェル領域に対して第1のオフセット領域をあけて形成され、その表層部には拡散層が形成されていない第1導電型の第1のウェル領域と、前記第2の所定幅の領域において前記隣り合う第2導電型の2つのウェル領域の少なくとも一方のウェル領域に対して第2のオフセット領域をあけて形成され、その表層部には第1導電型の拡散層が形成されている第1導電型の第2のウェル領域とを具備することを特徴とする。

【0022】本発明の半導体装置の製造方法は、第1導電型の半導体基板上に酸化膜を形成する工程と、前記半導体基板の表層部で所定幅の領域を挟んで隣り合う第2導電型の2つの拡散層形成予定領域に第2導電型の不純物を導入する工程と、前記所定幅の領域において前記隣り合う第2導電型の2つの拡散層形成予定領域の少なくとも一方の領域に対してオフセット領域をあけて第1導電型の不純物を導入する工程とを具備する。

【0023】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0024】＜第1の実施形態＞例えばP型半導体基板を用いたNAND型フラッシュメモリにおいて、メモリアルレイの周辺回路の素子が形成されるN-ウェル領域は、隣り合うウェル領域間が高耐圧を持つように分離される必要がある。そこで、第1の実施形態では、高耐圧が必要とされる隣り合うN-ウェル領域間（HV系N-ウェル領域間）の分離を微細に実現した例を説明す

る。

【0025】図1(a)乃至(c)は、本発明の第1の実施形態に係るNAND型フラッシュメモリの製造工程の一部を示す断面図である。

【0026】まず、図1(a)に示すように、B（ボロン）濃度が 5×10^{14} 程度のP型シリコン基板（P-Sub）101上に厚さ20nm程度の熱酸化膜（シリコン酸化膜）102を形成する。次に、隣り合う少なくとも2つのHV系N-ウェル（Well）形成予定領域上に対応する開口を有するようにレジストパターン103を形成し、これをマスクとして、加速エネルギー1.5MeVの加速電圧で $3 \times 10^{13}/\text{cm}^2$ 程度のドーズ量のP（燐）イオン104を注入する。

【0027】なお、上記N-ウェル形成予定領域には、PMOSFETを形成する必要があるため、PMOSFETのチャネル制御のために、10KeVの加速電圧で $3 \times 10^{12}/\text{cm}^2$ 程度のドーズ量のBイオンを打ち込むと同時に、PMOSFETのチャネルプロファイル制御のためのPイオンの打ち込みを加速エネルギーおよびドーズ量を変えながら、複数回実施してもよい。

【0028】次に、レジストパターン103を剥離後、HV系N-ウェル形成予定領域上をカバーするとともに、隣り合うHV系N-ウェル形成予定領域間の所定幅の領域の両端部へN-ウェル形成予定領域から少なくとも1.0 μm 程度延長した領域上をカバーするレジストパターン105を形成する。換言すれば、隣り合うHV系N-ウェル形成予定領域間（所定幅の領域）の中央部の素子分離用のP-ウェル形成予定領域領域上に対応する開口を有するようにレジストパターン105を形成する。

【0029】次に、図1(b)に示すように、前記レジストパターン105をマスクとして、260KeVの加速電圧で $1.5 \times 10^{13}/\text{cm}^2$ 程度のドーズ量のBイオン106を注入し、さらに、25KeVの加速電圧で $1.5 \times 10^{13}/\text{cm}^2$ 程度のドーズ量のBイオンをイオン注入する。

【0030】この際、Bイオンの注入は、レジストパターン105をマスクとして加速エネルギーを変えながら複数回実行しているが、HV系N-ウェル領域107の分離に支障がない限り、上記Bイオンの注入工程を1回だけに止めてもよい。

【0031】以後、詳しくは図示していないが、NAND型フラッシュメモリの形成に必要な熱工程を経て、図1(c)に示すように、隣り合うN-ウェル領域107間にオフセット領域Aを介して素子分離用のP-ウェル領域108が存在する構造が形成される。換言すれば、隣り合うHV系N-ウェル領域107がオフセット領域Aを介してP-ウェル領域108を挟むように配置された構造が形成される。なお、図中、109はシリコン酸化膜である。

【0032】ここで、P-ウェル領域108の幅は $3\mu\text{m}$ 程度であり、オフセット領域Aは $1\mu\text{m}$ 程度である。また、高耐圧での分離が必要なN-ウェル領域107とP-ウェル領域108との接合耐圧を確保するために、P-ウェル領域108の表層部には高濃度の拡散層が存在しないように形成されている。

【0033】図7は、第1の実施形態におけるHV系N-ウェル領域107の耐圧特性を、従来例1および従来例2におけるN-ウェル領域の耐圧特性と対比して示している。

【0034】即ち、上記した第1の実施形態の構造および製造工程によれば、P型シリコン基板に25[V]程度を超える高耐圧系のMOSFET形成用のN-ウェル領域107を隣り合うように形成する際、隣り合うN-ウェル領域107間の所定幅の領域において、N-ウェル領域107に対して $1\mu\text{m}$ 程度の距離のオフセット領域Aを介してP-ウェル領域108を形成した。

【0035】このオフセット領域Aにより、P-ウェル領域108とN-ウェル領域107のPN接合が緩和され、30[V]以上のN-ウェル領域接合耐圧を確保することができた。また、P-ウェル領域108により、2つのN-ウェル領域107間のリークを完全に遮断し、30[V]以上のN-ウェル領域間耐圧を確保することができた。

【0036】しかも、図1(c)中にDで示した隣り合うN-ウェル領域107間の距離は僅か $5\mu\text{m}$ 程度であり、図8を参照して示した従来例1の隣り合うN-ウェル領域507間の距離H(= $7\mu\text{m}$)より充分小さい。これにより、N-ウェル領域107間を微細に分離し、N-ウェル領域107間のパターン面積を従来例1と比較して削減することができた。

【0037】なお、HV系N-ウェル領域107のP濃度は $\times 10^{17}$ オーダーであり、P-ウェル領域108のB濃度も $\times 10^{17}$ オーダーに達するので、もし、HV系N-ウェル領域107とP-ウェル領域108がオフセット領域Aを介さずにPN接合する場合は、接合耐圧が15[V]程度に低下してしまう。しかし、オフセット領域AのP型シリコン基板101の濃度が $5 \times 10^{15} / \text{cm}^3$ 程度であるので、P型シリコン基板101とHV系N-ウェル領域107とのPN接合は、30[V]以上の充分に高い接合耐圧が達成されている。

【0038】したがって、第1の実施形態の構造の耐圧は、図7中に示す特性から分かるように、従来例1に示した構造の耐圧と比べて大きな落ち込みはなく、NAND型フラッシュメモリの動作に問題はない。

【0039】なお、図1(c)中に示したように、高耐圧での分離が必要なHV系N-ウェル領域107の深さBとP-ウェル領域108の深さCは、 $B < C$ の関係となるように設定してある。この理由は、隣り合うN-ウェル領域107間のリークをP型シリコン基板101の

深い領域においても充分に抑制するためである。この際、P-ウェル領域108を形成するためのP型不純物イオンとしてBイオンを使用しているので、Bイオンを深く注入することが可能であり、P-ウェル領域108を深く形成することが可能である。具体例としては、 $B = 2.0\mu\text{m}$ 程度、 $C = 2.2\mu\text{m}$ 程度であり、CはBよりも10%以上深い。

【0040】即ち、上記例では、P型シリコン基板101およびP-ウェル領域108に拡散されている不純物はBであり、N-ウェル領域107に拡散されている不純物はPであり、P-ウェル領域108のB濃度およびN-ウェル領域107のP濃度は、P型シリコン基板101のB濃度よりも2桁以上濃いことによって、所望の耐圧特性が実現されている。

【0041】ところで、P-ウェル領域108の表層部にラッチアップ動作防止のためのP+型拡散層を形成してもよい。この場合、N-ウェル領域接合耐圧が低下するおそれがあるので、P+型拡散層を設けない場合に比べて、オフセット領域を僅かながら大きくする必要があり、その一例について第2の実施形態で後述する。

【0042】さらに、第1の実施形態の長所および第2の実施形態の長所を統合するために、分離構造を使い分けるように2つの実施形態を組み合わせた一例について、第3の実施形態で後述する。この場合、チップ面積に影響しない範囲でP-ウェル領域の表層部にP+型拡散層を設けた構造と、さらに、微細化が要求される領域で、かつ、ラッチアップ等の発生がない限り、P-ウェル領域の表層部には拡散層を設けない構造を混在させることで、ラッチアップ動作による故障がなく、微細なNAND型フラッシュメモリを実現することができる。

【0043】さらに、データの書き込み/消去動作が行われる回路で使用されているような高い耐圧が必要とされる素子が形成されるHV系N-ウェル領域と高い耐圧が必要とされない素子が形成されるN-ウェル領域とが混在する部分への適用例について、第4の実施形態で後述する。

【0044】さらに、P-ウェル領域を、同じP型シリコン基板の表層部に設けられたNMOSFET構成用のP-ウェル領域と同時に形成することにより、工程の増加を伴うことなく、微細なNAND型フラッシュメモリを実現する一例について、第5の実施形態で後述する。

【0045】<第2の実施形態>CMOS回路に共通の問題として注意する必要があるラッチアップ現象は、特に高電源を扱うNAND型フラッシュメモリでは一層注意することが必要である。ラッチアップ現象の解決手法として、寄生トランジスタの一部となる領域の寄生抵抗を下げるのが有効であることは周知の事実である。

【0046】そこで、第2の実施形態に係るNAND型フラッシュメモリでは、第1の実施形態で示した構成例に加えて、P型シリコン基板の寄生抵抗を少しでも削減

するために素子分離用のP-ウェル領域の表層部に選択的に高濃度のP型拡散層を設けることにより、ラッチアップ現象を解決する。

【0047】図2は、本発明の第2の実施形態に係るNAND型フラッシュメモリの一部を示す断面図である。

【0048】まず、前述した第1の実施形態と同様の工程により、P型シリコン基板201の表層部に選択的に隣り合うHV系N-ウェル領域207およびそれぞれからオフセット領域Fを介して位置するP-ウェル領域208を形成する。この後、P-ウェル領域208中に25 KeVの加速電圧で $5 \times 10^{15} / \text{cm}^2$ 程度のドーズ量のBF₂イオンを注入した後、熱工程を経てP+ 拡散層210を形成する。なお、図中、209はシリコン酸化膜である。

【0049】このような構造により、P-ウェル領域208の寄生抵抗がP+ 拡散層210によって十分に低減され、ラッチアップ現象の発生を皆無にすることができ、回路設計を容易にすることができた。

【0050】なお、第2の実施形態のように隣り合うHV系N-ウェル領域207からそれぞれオフセット領域Fを介して形成されたP-ウェル領域208の表層部に選択的にP+ 拡散層210を設けた場合には、HV系N-ウェル領域207に高電位を加えた時に、空乏層が広がってP+ 拡散層210とぶつかり、接合耐圧が低下する場合もある。

【0051】そこで、N-ウェル領域接合耐圧を十分に高く確保するためには、オフセット領域Fの値を、第1の実施形態で図1(c)中に示したオフセット領域Aの値(約1 μm)に比べて僅かに大きい1.25 μm程度に設定する必要がある。

【0052】従って、隣り合うHV系N-ウェル領域207間の距離Eは、5.5 μm程度となり、第1の実施形態よりは微細な構造にはならないが、図8を参照して示した従来例1の隣り合うN-ウェル領域507間の距離H(=7 μm)よりは充分小さく、微細である。

【0053】<第3の実施形態>第3の実施形態では、第1の実施形態の長所および第2の実施形態の長所を統合するために、分離構造を使い分けるように第1の実施形態と第2の実施形態の組み合わせた例について説明する。

【0054】即ち、パターン上の律速がない範囲では、第2の実施形態で図2中に示したようにP-ウェル領域の表層部に選択的にP+ 拡散層を設けるが、特に微細な分離が必要な部分では、第1の実施形態で図1(c)中に示したようにP-ウェル領域の表層部に高濃度のP型拡散層を設けない構造とすることにより、ラッチアップ現象の抑制とN-ウェル領域の微細な分離とを両立することができた。

【0055】<第3の実施形態の応用例>次に、前記した第3の実施形態の分離構造の使い分けについて、本願

出願人の提案に係る特願2000-173715号あるいは特願2000-330972号(文献1)に示されているNAND型フラッシュメモリにおける具体的な回路パターンを参照して説明する。

【0056】図3は、第3の実施形態の応用例に係るNAND型フラッシュメモリのチップ上のパターン配置(レイアウト構成)の一部を、メモリセルトランジスタ形成領域とメモリセル制御素子形成領域(ロウデコーダ部)に区分して示している。

【0057】メモリセルトランジスタ形成領域は、複数のブロックBlock0~Block3に分離して配置され、各ブロックの縦方向のサイズは、一対の選択ゲートトランジスタと、この一対の選択ゲートトランジスタに挟まれて直列配置される複数(通常、8個)のセルトランジスタ(以下、8NAND stringと称する)のサイズで決定される。

【0058】前記ブロックBlock0~Block3を制御するロウデコーダ部は、ブロックBlock0~Block3をそれぞれ異なる専用のロウデコーダで制御する。

【0059】図3から明らかなように、ロウデコーダ部を各ブロックBlock0~Block3の両端に配置する場合、ロウデコーダ部の縦方向のサイズは、8NAND stringの長さの倍以内のサイズに収めなければならない。

【0060】ロウデコーダ部のトランジスタへのストレス緩和とチップサイズの縮小を可能とする手法として、前記文献1では、それぞれN-ウェル領域に形成されるPMOSFETを使用したロウデコーダ回路が用いられている。この場合、PMOSFETが形成されるN-ウェル領域は、P型シリコン基板との接合耐圧が25

[V]程度必要であり、かつ、隣り合うN-ウェル領域間の耐圧が25[V]程度必要となる。

【0061】即ち、微細化技術の向上に伴い、ロウデコーダ回路の縦方向のサイズを決定する8NAND stringの長さが急激に小さくなっており、ロウデコーダ回路がそれぞれ形成されるN-ウェル領域間には、25[V]程度のウェル領域接合耐圧とウェル領域間耐圧が必要になってくる。

【0062】図4は、図3中のロウデコーダ部でロウデコーダ回路が形成されるN-ウェル領域のパターン配置の具体例を示す。

【0063】図4において、701はP型シリコン基板、707a~707cはN-ウェル領域であり、縦方向に隣り合うように配置されている。さらに、これらのN-ウェル領域707a~707cに横方向に隣り合うようにそれぞれ別のN-ウェル領域(図示せず)が配置されている。708は前記N-ウェル領域間にオフセット領域を介して存在するP-ウェル領域、710はP+ 拡散層である。

【0064】N-ウェル領域707aは、図3中の第1のブロックBlock1を制御するロウデコーダ回路が形成さ

れ、N-ウエル領域707bは、図3中の第2のブロックBlock2を制御するロウデコード回路が形成され、N-ウエル領域707cは、図3中の第3のブロックBlock3を制御するロウデコード回路が形成されている。

【0065】このようなレイアウト構成において、前述したように各ブロックを制御するロウデコード回路の縦方向のサイズは、最大で8NAND stringの長さの倍以内に収めなければならない制約がある。セルの目覚しい微細化技術に伴い、ロウデコードを構成するN-ウエル領域も、縦方向の幅とN-ウエル領域間を小さくする必要があることは当然である。

【0066】そこで、8NAND stringの長さに応じて、図1に示した第1の実施形態および図2に示した第2の実施形態を使い分けることにより、セルの微細化に伴う効率的なレイアウト構成を組み、チップサイズを最小限にすることができた。

【0067】即ち、横方向に隣り合うN-ウエル領域間でP型シリコン基板701のオフセット領域を介して存在するP-ウエル領域708には第2の実施形態を適用してP+ 拡散層710を形成し、縦方向に隣り合うN-ウエル領域707a~707c間でP型シリコン基板701のオフセット領域を介して存在するP-ウエル領域708には第1の実施形態を適用してP+ 拡散層を形成しないようにしたものである。

【0068】但し、8NAND stringの長さによっては、縦方向に隣り合うN-ウエル領域間でオフセット領域を介して存在するP-ウエル領域708に第2の実施形態を適用してP+ 拡散層を形成するように変更してもよい。

【0069】<第4の実施形態> NAND型フラッシュメモリにおけるメモリセルの周辺素子の中には、データの書き込み/消去動作が行われる回路で使用されているような高い耐圧が必要とされる素子以外に、高い耐圧が必要とされない素子があり、このような高い耐圧が必要とされない素子が形成されるN-ウエル領域は高耐圧での分離が必要とされない。

【0070】そこで、第4の実施形態に係るNAND型フラッシュメモリでは、高耐圧での分離が必要とされるN-ウエル領域と高耐圧での分離が必要とされないN-ウエル領域とが混在する部分への本発明の適用例について説明する。

【0071】図5は、本発明の第4の実施形態に係るNAND型フラッシュメモリの一部を示す断面図である。

【0072】図5に示すNAND型フラッシュメモリにおいては、基板間接合耐圧がさほど大きいものを必要とされないN-ウエル領域（以下、LV系N-ウエル領域と称する）311と、高耐圧での分離が必要で高い接合耐圧が必要とされるHV系N-ウエル領域307とが混在している。なお、図中、309はシリコン酸化膜である。

【0073】ここで、LV系N-ウエル領域311とH

V系N-ウエル領域307が隣り合い、両者間にはHV系N-ウエル領域307にオフセット領域Gを介して分離用のP-ウエル領域308を設ける必要があるとしても、上記分離用のP-ウエル領域308とLV系N-ウエル領域311との間にはオフセット領域を設ける必要はない。

【0074】この理由は、LV系N-ウエル領域311は、通常、3[V]~5[V]程度のデータ読み出し電源での動作に使用されるPMOSFETしか形成されないもので、接合耐圧は7[V]程度の低いものでよく、P-ウエル領域308とぶつかった構造でも15[V]程度の接合耐圧は実現できる。

【0075】LV系N-ウエル領域311に接するP-ウエル領域308と高い接合耐圧が必要なHV系N-ウエル領域307との間にはオフセット領域Gが存在するので、HV系N-ウエル領域307は所望の接合耐圧が実現されている。

【0076】勿論、第2の実施形態でも述べたように、ラッチアップ抑制のために、P-ウエル領域308の表層部に選択的にP+拡散層を形成してもよい。

【0077】<第5の実施形態> 第5の実施形態に係るNAND型フラッシュメモリでは、高い接合耐圧が必要なHV系N-ウエル領域に対してオフセット領域を介して設けられたP-ウエル領域は、不純物濃度のプロファイルとして特に最適化されたプロファイルを用いることはない点に鑑みて実施した。

【0078】図6は、本発明の第5の実施形態に係るNAND型フラッシュメモリの一部を示す断面図である。

【0079】図6に示すNAND型フラッシュメモリは、図1(c)を参照して前述した第1の実施形態のNAND型フラッシュメモリと比べて、P型シリコン基板401の表層部に選択的に形成された隣り合うHV系N-ウエル領域407の相互間でオフセット領域を介して設けられたP-ウエル領域408aは、同じくP型シリコン基板401の表層部に選択的に形成されたN型MOSFETを構成するためのP-ウエル領域408bと同じ不純物濃度プロファイルを持つように形成されている。なお、図中、412はシリコン酸化膜である。

【0080】ここで、P-ウエル領域408aは、P-ウエル領域408bと同じ工程で形成することが可能であるので、P-ウエル領域408aを形成するための工程を特に増加する必要はない。従って、本実施形態を採用することによるコストの増加は生じない。

【0081】

【発明の効果】 上述したように本発明の半導体装置およびその製造方法によれば、半導体基板に形成される25[V]程度を超える高耐圧系のMOSFET形成用のウエル領域が半導体基板とは逆導電型の場合に、ウエル領域接合耐圧を高耐圧化し、隣り合うウエル領域間を微細に分離し、かつ、ウエル領域間耐圧が所望値となるよう

に実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るNAND型フラッシュメモリの製造工程の一部を示す断面図。

【図2】第2の実施形態に係るNAND型フラッシュメモリの一部を示す断面図。

【図3】第3の実施形態の応用例に係るNAND型フラッシュメモリのチップ上のパターン配置の一部をメモリセルトランジスタ形成領域とメモリセル制御素子形成領域（ロウデコーダ部）に区分して表現した図。

【図4】図3中のロウデコーダ部でロウデコーダ回路が形成されるN-ウエル領域のパターン配置の一具体例を示す図。

【図5】第4の実施形態に係るNAND型フラッシュメモリの一部を示す断面図。

【図6】第5の実施形態に係るNAND型フラッシュメモリの一部を示す断面図。

【図7】第1の実施形態におけるN-ウエル領域の耐圧

特性を従来例1および従来例2におけるN-ウエル領域の耐圧特性と対比して示す特性図。

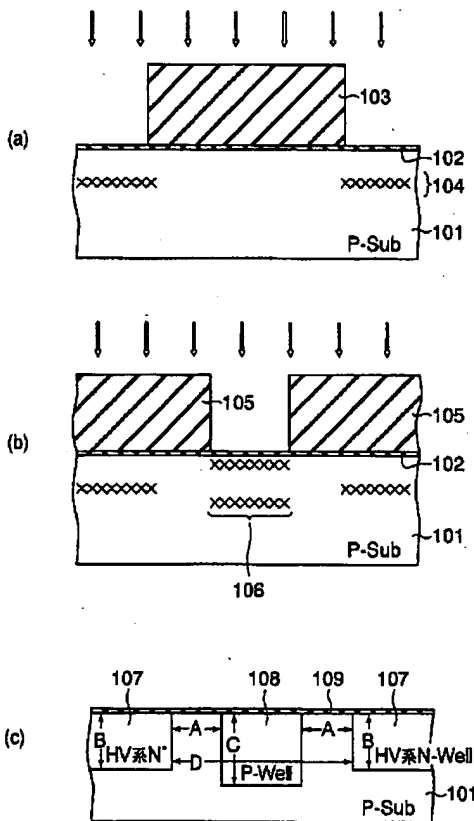
【図8】従来例1のNAND型フラッシュメモリにおいてシリコン基板に基板とは逆導電型の2つのウエル領域が隣り合うように形成された構造を示す断面図。

【図9】従来例2のNAND型フラッシュメモリにおいてシリコン基板に基板とは逆導電型の2つのウエル領域間にシリコン基板と同一導電型のウエル領域が形成された構造を示す断面図。

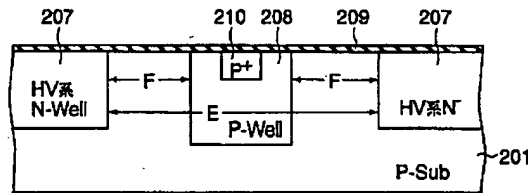
10 【符号の説明】

- 101……P型シリコン基板、
- 102…シリコン酸化膜
- 103、105…レジストパターン、
- 104…シリコン基板に導入したP（燐）イオン、
- 106…シリコン基板に導入したB（ボロン）イオン、
- 107…N-ウエル領域、
- 108…P-ウエル領域。

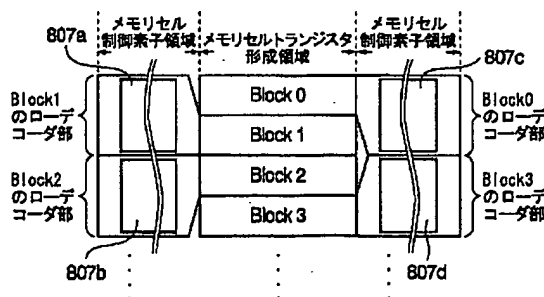
【図1】



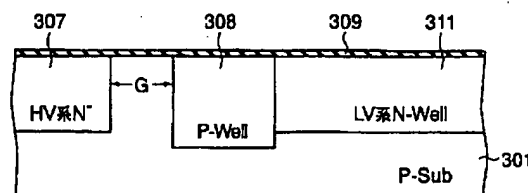
【図2】



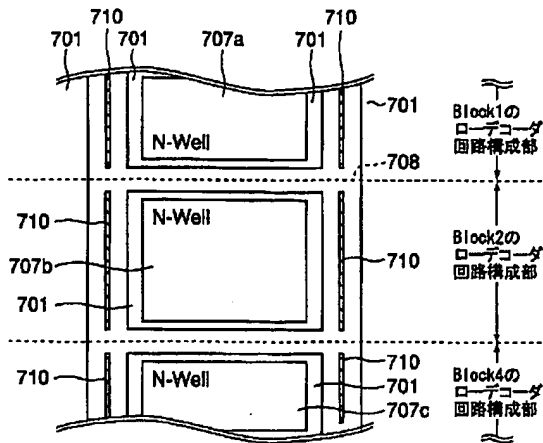
【図3】



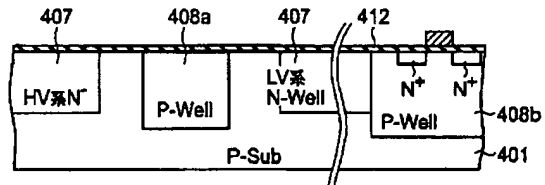
【図5】



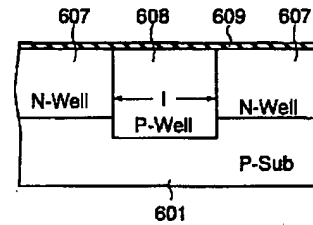
【図4】



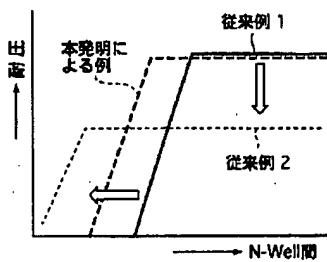
【図6】



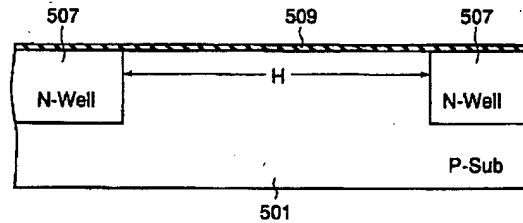
【図9】



【図7】



【図8】



フロントページの続き

(51) Int. Cl.⁷

H01L 27/10

29/788

29/792

識別記号

481

FI

H01L 29/78

テーマコード(参考)

371

(72) 発明者 神谷 栄二

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

Fターム(参考)

5F048 AA03 AA05 AB01 AC03 BA01

BE01 BE03 BE04

5F083 EP32 EP76 ER22 LA02 LA05

PR36 PR46 PR56 ZA08

5F101 BD02 BD22 BD27 BD34 BD36

BH21